

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-213755

(43)公開日 平成8年(1996)8月20日

(51) Int.Cl.<sup>6</sup>  
H 0 5 K 3/46

識別記号 庁内整理番号  
H 6921-4E  
N 6921-4E  
Q 6921-4E  
D 7511-4E

F I

技術表示箇所

審査請求 未請求 請求項の数2 OL (全 11 頁)

(21) 出願番号

特順平7-14808

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地  
の22

(22) 出題日

平成7年(1995)1月31日

(72) 発明者 松本 謙

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72)発明者 小田 熊

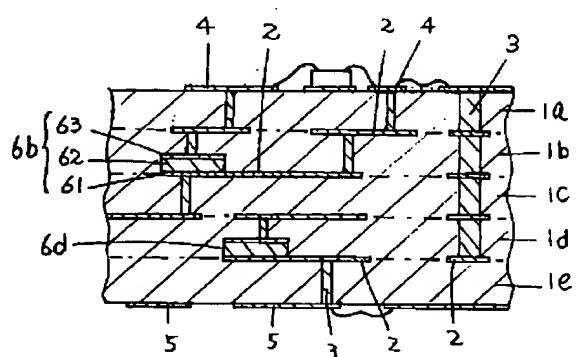
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(54) 【発明の名称】 コンデンサ内蔵型積層セラミック回路基板及びその製造方法

(57)【要約】

**【目的】** 本発明は積層セラミック回路基板の内部に安定的にコンデンサ領域を形成することができ、しかも内部配線パターンの制約を与えることなく高密度配線化が可能なコンデンサ内蔵型積層セラミック回路基板及びその製造方法を提供するものである。

【構成】 複数のセラミック層1a～1eを積層して成る積層体基板1内に、内部配線パターン2、ピアホール導体3から成る所定回路を配置させるとともに、該回路に接続され且つ誘電体セラミック層62を1対の容量電極パターン61、63で挟持したコンデンサ6b、6dを点在させて成る。



1

## 【特許請求の範囲】

【請求項1】複数のセラミック層を積層して成る積層体基板内に、内部配線パターン、ビアホール導体から成る所定回路を配置させるとともに、該回路に接続され且つ誘電体セラミック層を1対の容量電極パターンで挟持したコンデンサを点在させて成るコンデンサ内蔵型積層セラミック回路基板。

【請求項2】複数のセラミック層を積層して成る積層体基板内に、内部配線パターン、ビアホール導体から成る所定回路を配置させるとともに、誘電体セラミック層を1対の容量電極パターンで挟持したコンデンサを点在させて成るコンデンサ内蔵型積層セラミック回路基板の製造方法であって、支持基板上に、(1)光硬化可能なモノマーを有するセラミックスリップ材の塗布、乾燥処理によってセラミック層となる絶縁膜を形成する工程、

(2)前記絶縁膜に選択的な露光処理、現像処理を施すことによって絶縁膜に貫通孔を形成する工程、(3)前記絶縁膜上及び貫通孔内に、導電性ペーストを印刷・充填、乾燥処理して、絶縁膜上に内部配線パターンとなる導体膜を形成するとともに、貫通孔内にビアホール導体となる導体を形成する工程、の各工程(1)～(3)を順次繰り返えして、未焼成状態の積層体基板内に所定回路となる内部配線パターンとなる導体膜及びビアホール導体を形成するとともに、前記(1)～(3)の工程中に、(4)一方の容量電極パターンとなる導体膜を形成する工程、(5)前記誘電体セラミック層となる誘電体膜を形成する工程、(6)他方の容量電極パターンとなる導体膜を形成する工程の各工程(4)～(5)を適宜行い、未焼成状態の積層体基板内にコンデンサとなる領域を点在するように形成し、前記積層体基板を焼成処理して成るコンデンサ内蔵型積層セラミック回路基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は一对の容量電極パターン及びそれに挟持された誘電体セラミック部材からなるコンデンサ領域を積層体基板の一部に配置して成るコンデンサ内蔵型積層セラミック回路基板に関するものである。

## 【0002】

【従来の技術】従来、積層セラミック回路基板は、ビアホール導体となる導体が充填され、且つ表面に内部配線パターンとなる導体膜が形成されたグリーンシートを、積層構造に応じて積層し、焼成処理して積層体基板を形成し、必要に応じてこの積層基板の表面に表面配線パターン等を形成していた。

【0003】このような積層セラミック回路基板に、所定回路を形成する配線以外に他の機能を持たせる構造として、従来は、主に積層体基板の表面に、厚膜抵抗体膜を形成したり、厚膜コンデンサなどを形成していた。例

2

えば、厚膜抵抗体膜は、2つの表面配線パターン間に抵抗体膜を配置する構造が一般的であるため、積層体基板の表面に比較的簡単に形成することができる。これに対して厚膜コンデンサは一对の容量電極パターン間に誘電体層を介在させた構造であるため、所定容量特性を得るために、一对の容量電極パターンの対向面積によって大きく規定されるため、表面配線パターンの高密度化に大きな障害となっていた。

【0004】このため、所定容量特性を導出するコンデンサを積層体基板の内部に形成することが、積層セラミック回路基板の全体の配線パターンの高密度化から非常に有効である。

【0005】上述のようにコンデンサ領域を積層体基板の内部に形成した構造としては、例えば、チップ状積層セラミックコンデンサ構造を参考に、積層体基板のセラミック層となるセラミックグリーンシートを積層する際に、少なくとも両主面側に容量電極パターンが配置されるように所定誘電率の誘電体セラミックグリーンシートを介在させて積層体基板を形成していた。

## 【0006】

【発明が解決しようとする課題】上述のコンデンサを内蔵した積層セラミック回路基板では、複数のセラミックグリーンシートから成るセラミック層間の全面に所定所定誘電率の誘電体セラミックグリーンシートを介在されることになる。

【0007】特に、一对の容量電極が形成されていない領域では、セラミック層となるセラミックグリーンシートと誘電体セラミック層となる誘電体セラミックグリーンシートとが接触するため、この両者を一体的に焼成した時、焼成収縮挙動の差による剥離現象が発生してしまう。

【0008】また、誘電体セラミック層の厚みによって容量特性が規定されるため、所定厚みの誘電体グリーンシートを用いる必要がある。通常、この誘電体セラミックグリーンシートの厚みは、セラミックグリーンシートの厚みよりも薄く、両者の間では絶縁特性が異なるため、例えば、誘電体セラミック層の両主面には内部配線パターンを形成することができなくなったり、また、内部配線パターンの高密度化に大きな障害を与えることがあった。

【0009】本発明は、上述の問題点を解決すべく、コンデンサ内蔵型積層セラミック回路基板の製造方法を根本的に変更して、積層セラミック回路基板の内部に安定的にコンデンサ領域を形成することができ、しかも内部配線パターンの制約を与えることなく高密度配線化が可能なコンデンサ内蔵型積層セラミック回路基板及びその製造方法を提供するものである。

## 【0010】

【課題を解決するための手段】第1の発明は、複数のセラミック層を積層して成る積層体基板内に、内部配線バ

ターン、ピアホール導体から成る所定回路を配置させるとともに、該回路に接続され、且つ誘電体セラミック層を1対の容量電極パターンで挟持したコンデンサを点在させて成るコンデンサ内蔵型積層セラミック回路基板である。

【0011】第2の発明は、第1の発明のコンデンサ内蔵型積層セラミック回路基板の製造方法であって、支持基板上に、(1)光硬化可能なモノマーを有するセラミックスリップ材の塗布・乾燥処理によってセラミック層となる絶縁膜を形成する工程、(2)前記絶縁膜に選択的な露光処理・現像処理を施すことによって絶縁膜に貫通孔を形成する工程、(3)前記絶縁膜上及び貫通孔内に、導電性ペーストを印刷・充填・乾燥処理して、絶縁膜上に内部配線パターンとなる導体膜を形成するとともに、貫通孔内にピアホール導体となる導体を形成する工程、の各工程(1)～(3)を順次繰り返して、未焼成状態の積層体基板内に所定回路となる内部配線パターンとなる導体膜及びピアホール導体を形成するとともに、前記(1)～(3)の工程中に、(4)一方の容量電極パターンとなる導体膜を形成する工程、(5)前記誘電体セラミック層となる誘電体膜を形成する工程、(6)他方の容量電極パターンとなる導体膜を形成する工程、の各工程(4)～(5)を適宜行い、未焼成状態の積層体基板内にコンデンサとなる領域を点在するように形成し、前記積層体基板を焼成処理して成るコンデンサ内蔵型積層セラミック回路基板の製造方法である。

【0012】尚、上述の各工程において、(3)の工程と(4)の工程とを同一の工程で行うこともできる。また、誘電体セラミック層となる誘電体膜は、光硬化可能なモノマーを有する誘電体セラミックスリップ材の塗布・乾燥処理によって誘電体セラミック層となる誘電体膜を形成し、前記誘電体塗布膜に選択的な露光処理・現像処理により、コンデンサ領域に相当する所定形状の誘電体膜を形成し、その後、この誘電体膜上に容量電極パターンとなる導体膜を形成することが望ましい。また、誘電体セラミック層の厚みとセラミック層との厚みが同一の場合、(3)の工程と(6)の工程を同一工程で行うこともできる。

### 【0013】

【作用】第1の発明のコンデンサ内蔵型積層セラミック回路基板によれば、積層基板内に誘電体セラミック層及び該誘電体セラミック層を挟持する容量電極パターンから成るコンデンサが点在しており、このコンデンサの周囲はセラミック層が配されることになる。

【0014】従って、積層セラミック回路基板の内部に必要な箇所にのみコンデンサを形成することができ、従来コンデンサを配置していた基板表面での高密度実装が可能となる。また、このコンデンサの周囲のセラミック層に接触する内部配線パターンはコンデンサの存在に係わらず形成することができ、内部配線パターンの設計の

自由度が維持でき、高密度化が可能となる。

【0015】第2の発明によれば、前工程で形成された絶縁膜上に、(4)～(6)の各工程によって形成されたコンデンサ領域が存在していても、絶縁膜がこのコンデンサ領域を覆うように、光硬化可能なモノマーを有するセラミックスリップ材の塗布・乾燥によって形成される。

【0016】従って、コンデンサ領域を絶縁膜で被覆することが可能となり、これにより、第1の発明の作用を導出することができる。

【0017】また、コンデンサの構成が、誘電体セラミック層となる誘電体膜が実質的に2つの容量電極パターンとなる導体膜で挟持されており、誘電体膜と絶縁膜との平面的な接触がなく、また、コンデンサ領域が点在していることから製造工程中に剥離などが一切おこらない。

【0018】また、コンデンサ領域を個別に形成するため、容量特性に応じて誘電体セラミック層の厚み及び容量電極パターンの対向する面積を任意設定できるため、コンデンサの容量特性を精度よく形成することができる。

### 【0019】

【実施例】以下、本発明のコンデンサ内蔵型積層セラミック回路基板及びその製造方法を図面に基づいて説明する。

【0020】図1は、本発明に係る内蔵型積層セラミック回路基板の断面図である。

【0021】図1において、10は内蔵型積層セラミック回路基板であり、内部に配線パターン2、ピアホール導体3、コンデンサ領域6b、6dを含む積層体基板1と、前記積層体基板1の主面に形成される表面配線パターン4、5と、必要に応じて搭載・形成される厚膜抵抗体膜、保護膜、各種電子部品とから構成されている。積層体基板1はセラミック層1a～1eが積層して、各セラミック層1a～1e間に形成された内部配線パターン2、内部配線パターン2間、内部配線パターン2と表面配線パターン4、5との間に形成されたピアホール導体3とから成る。さらに、セラミック層1b、1dには、内部配線パターン2やピアホール導体3に接続するコンデンサ領域6b、6dが配置されている。

【0022】セラミック層1a～1eは、例えば850～1050°C前後の比較的低い温度で焼成可能にするガラスーセラミック材料からなり、その厚みは絶縁特性などを考慮して100～300μm程度となっている。

【0023】内部配線パターン2、ピアホール導体3は、Ag系(Ag単体、Ag-PdなどのAg合金)、Cu系(Cu単体、Cu合金)など導体からなり、内部配線パターン2の厚みは8～15μm程度であり、ピアホール導体の直径は任意な値とすることができるが、例えば直径は80～250μmである。

【0024】また、セラミック層1b、1dの一部には、一方の容量電極パターン61、誘電体セラミック層62、他方の容量電極パターン63とから構成されてるコンデンサ領域6b、6dが点在するように配置されている。

【0025】容量電極パターン61、63は、内部配線パターン2と同一材料からなり、実質的に同一厚みで形成されている。

【0026】誘電体セラミック層62は、セラミック層1a～1eと異なる所定誘電率を有するものであり、例えば、 $Pb_4Fe_2Nb_2O_{12}$ などのセラミックと低融点ガラス材料とから構成されている。

【0027】容量電極パターン61、63の対向面積及び誘電体セラミック層62の厚みは、夫々容量特性に応じて所定値に設定されている。例えば、誘電体セラミック層62の厚みは、例えば $20\mu m$ ～ $100\mu m$ 程度であり、セラミック層1b、1dの厚みと同一またはそれよりも薄くなっている。

【0028】この各セラミック層1a～1e間の内部配線パターン2、ピアホール導体3、さらに、コンデンサ領域6b、6dによって、積層体基板1内に容量成分を有する所定回路配線が形成されることになる。

【0029】表面配線パターン4、5は、Ag系(Ag単体、Ag-PdなどのAg合金)、Cu系(Cu単体、Cu合金)など導体から成る。

【0030】このような積層体基板1の表面配線パターン4、5には、厚膜抵抗体膜や保護膜が被着形成されたり、チップコンデンサ、チップ抵抗器、トランジスタ、ICなどの各種電子部品などが半田、ワイヤボンディング細線などによって搭載・接合されている。

【0031】ここで、本発明の特徴的なことは、各セラミック層1a～1eが積層され、且つ内部配線パターン2とピアホール導体3とによって所定回路が構成された積層体基板1の内部に、必要な箇所のみにコンデンサ領域6b、6dが点在するように配置されている。図では、セラミック層1b、1dにコンデンサ領域6b、6dが部分的に形成されている。

【0032】これにより、コンデンサ領域6b、6dを含むセラミック層1b、1dにおいても、セラミック層1b、1dの両主面に内部配線パターン2を支障なく形成することができ、セラミック層1b、1dの厚み貫くピアホール導体3を形成することができる。即ち、内部配線パターン2、ピアホール導体3の設計の自由が維持でき、高密度化配線も維持できる。

【0033】また、コンデンサ領域6b、6dを、配線回路に応じて必要なセラミック層に、内部配線パターン2と最も効率よく接続できる箇所に形成することができ、しかも積層体基板1の内部に内装することができるため、従来基板の表面に形成していたコンデンサを排除できるため、表面配線パターン4、5の高密度配線化が

可能となり、また、内部配線パターン2に近接してコンデンサ6b、6dを配置することができる。従って、全體の積層セラミック回路基板全体の高密度化が達成される。

【0034】次に、本発明のコンデンサ内蔵型セラミック回路基板の製造方法を説明する。図2の工程流れ図、図3(a)～図3(h)は図2の工程流れ図中の主要工程における概略図である。

【0035】コンデンサ内蔵型積層セラミック回路基板1の製造工程は、積層前の準備工程、積層体基板の形成するための積層工程、積層体基板を支持基板から剥離する剥離工程、焼成工程、表面処理工程などからなる。

【0036】尚、特に、積層工程においては、セラミック層1a～1eとなる絶縁膜、内部配線パターン2となる導体膜、ピアホール導体となる導体を形成するための工程と、コンデンサ領域の形成工程の2つに分けられる。

【0037】積層前の準備工程は、図3(a)に示すように、積層体基板を形成するための支持基板15を準備するとともに、セラミック層1a～1eを形成するためのセラミックスリップ材、誘電体セラミック層62を形成するための誘電体セラミックスリップ材、内部配線パターン2、ピアホール導体3、容量電極パターン61、63、表面配線パターン4、5となる導電性ペーストを夫々作成するものである。

【0038】〔支持基板〕支持基板15は、図3(a)に示すように積層体基板を形成するための基体であり、例えばセラミック、ガラス、耐熱性樹脂などの基板からなる。必要に応じて、支持基板15の表面に支持基板平滑層を形成しても構わない。この支持基板15は、図2の(i)の工程で剥離処理される。

【0039】また、支持基板15として、所定配線パターンが形成された单板状、多層構造のセラミック回路基板を用いても構わない。この場合、(i)の工程である剥離処理は省略される。

【0040】〔セラミックスリップ材〕セラミックスリップ材は、セラミック層1a～1eを形成するためのものであり、焼成温度約 $850\sim1000^{\circ}C$ で処理されるようにセラミック粉末、ガラスフリット、光硬化可能なモノマー、バイナダー、溶剤などが選択され、均質混練して形成される。

【0041】セラミック粉末は、クリストバライト、石英、コランダム( $\alpha$ アルミニウム)、ムライト、コージェライトなどの絶縁セラミック材料などが挙げられ、その平均粒径 $0.5\sim6.0\mu m$ 、好ましくは $1.5\sim4.0\mu m$ に粉碎したものを用いる。尚、セラミック材料は2種以上混合して用いられてもよい。

【0042】ガラスフリットは、焼成処理することによってコージェライト、ムライト、アノーサイト、セルジアン、スピネル、ガーナイト、ウイレマイト、ドロマイ

ト、ペタライトやその置換誘導体の結晶やスピネル構造の結晶相を析出するものであればよく、例えば、 $B_2O_3$ 、 $SiO_2$ 、 $Al_2O_3$ 、 $ZnO$ 、アルカリ土類酸化物を含むガラスフリットが挙げられる。

【0043】この様なガラスフリットは、ガラス化範囲が広く、また屈伏点が600～800°C付近とすることが重要である。このガラスフリットの平均粒径は、1.0～6.0μm、好ましくは1.5～3.5μmである。

【0044】上述のセラミック材料とガラスフリットとの構成比率は、セラミック材料が10～60wt%、好ましくは30～50wt%であり、ガラスフリットが90～40wt%、好ましくは70～50wt%である。

【0045】光硬化可能なモノマーは、比較的低温で且つ短時間の焼成工程で焼失できるように熱分解性に優れたものであり、選択的露光処理によって、光重合される必要がある。即ち、露光処理によって遊離ラジカルを形成し、連鎖生長付加重合が可能な、2級もしくは3級炭素を有したモノマーが好ましく、例えば少なくとも1つの重合可能なエチレン系基を有するブチラクリレート等のアルキルアクリレートおよびそれらに対応するアルキルメタクリレートが有効である。また、テトラエチレングリコールジアクリレート等のポリエチレングリコールジアクリレートおよびそれらに対応するメタクリレートなどが挙げられる。

【0046】バインダーは、光硬化可能なモノマー同様に熱分解性の良好なもので、且つスリップの粘性を考慮して決められる。例えば、アクリル酸もしくはメタクリル酸系重合体のようなカルボキシル基、アルコール性水酸基を備えたエチレン性不飽和化合物が好ましい。尚、光硬化可能なモノマーとバインダーとの比率は、1～3：5程度に添加される。

【0047】溶剤として、有機系溶剤、水系溶剤を用いることができる。尚、水系溶剤の場合、光硬化可能なモノマー及びバインダーは、水溶性である必要があり、モノマー及びバインダーには、親水性の官能基、例えばカルボキシル基が付加されている。その付加量は酸価で表せば2～300あり、好ましくは5～100である。

【0048】上述のセラミックスリップ材は、光硬化可能なモノマー及びバインダーが上述したように積層基板の焼成の過程で完全に熱分解しなくてはならないが、特に、600°C以下、好ましくは500°C以下で分解する材料を選択することが重要である。

【0049】また、セラミックスリップ材には、増感剤、光開始系材料等を必要に応じて添加しても構わない。例えば、光開始系材料としては、ベンゾフェノン類、アシロインエステル類化合物などが挙げられる。

【0050】〔誘電体セラミックスリップ材〕誘電体セラミックスリップ材は、コンデンサ領域6b、6dの誘電体セラミック層62を形成するためのものであり、焼

成温度約850～1000°Cで処理されるように誘電体セラミック粉末、ガラスフリット、光硬化可能なモノマー、バインダー、溶剤などが選択され、均質混練して形成される。

【0051】誘電体セラミック粉末は、例えば、 $Pb_4Fe_2Nb_2O_{12}$ などが例示でき、その平均粒径0.5～6.0μm、好ましくは1.5～4.0μmに粉碎したもの用いる。尚、絶縁膜10a～1eと同時焼成されるため、ガラスフリット、光硬化可能なモノマー、バ

10 インダー、溶剤などは上述の材料と同一にすることが望ましい。上述の誘電体セラミック材料とガラスフリットとの構成比率は、誘電体セラミック層62の誘電率を考慮して決定され、例えばガラスフリットを省略しても構わない。

【0052】〔導電性ペースト〕内部配線パターン2、ピアホール導体3、容量電極パターン61、63、及び表面配線パターン4を形成するための導電性ペーストは、Ag系(Ag単体、Ag-PdなどのAg合金)、Cu系(Cu単体、Cu合金)など導体材料粉末、例え

20 ば銀系粉末、低融点ガラス成分、バインダー、溶剤を均質混練したものが用いられ、尚、必要に応じて光硬化可能なモノマーを添加することができる。

【0053】この導電性ペーストをスクリーン印刷・乾燥を行うことによって、内部配線パターン2、容量電極パターン61、63及び表面配線パターン4となる導体膜を形成し、ピアホール導体3となる貫通孔に導体を充填する。

【0054】〔積層工程〕さて、上述の支持基板1・5上に、各種セラミックスリップ材、導電性ペーストを用いて積層基板を形成する。

【0055】セラミック層1a～1eとなる絶縁膜10a～10e間に内部配線パターン2を配置し、その絶縁膜10a～10eの厚みにピアホール導体3となる導体31を有する積層体は、図2の(b)の工程～(e)の工程を順次繰り返して行うことによって形成される。

【0056】また、コンデンサ領域6b、6dとなる1対の容量電極パターン61、63となる導体膜610、630及び誘電体セラミック層62となる誘電体膜620は、この(b)の工程～(e)の工程中行われる図2の(f)の工程～(h)の工程によって形成される。

【0057】まず、図2の(b)の工程のように、支持基板1・5上にセラミック層1eとなる絶縁膜10eを形成する(図3(a)参照)。

【0058】この絶縁膜10eの形成は、セラミックスリップ材の塗布処理と乾燥処理とからなる。具体的には、支持基板1・5の全面に、上述のセラミックスリップ材を所定厚み例えば100μmに塗布を行い、さらに乾燥を行う。

【0059】ここで、セラミックスリップ材の塗布方法としては、ドクターブレード法(ナイフコート法)、ロ

ールコート法、印刷法などが用いられ、これにより、支持基板15上に塗布表面が均一の絶縁膜10eが形成されることになる。尚、厚みの制御は、例えばドクターブレード法においては、ブレードの高さを適宜設定することによってその膜厚は任意に設定することができる。

【0060】乾燥方法としては、バッチ式乾燥炉、インライン式乾燥炉を用いて行われ、乾燥条件は、120°C以下が望ましい。また、急激な乾燥は、表面にクラックを発生される可能性があるため、急加熱を避けることが重要となる。

【0061】次に、図2の(c)の工程のように、セラミック層1eのビアホール導体3となる位置に対応して、絶縁膜10eを貫通する貫通孔30を形成する(図3(b)参照)。これは、選択的な露光処理と現像処理及び洗浄・乾燥処理からなる。選択的な露光処理は、貫通孔30となる領域のみを隠蔽するパターンのフォトマスクを、絶縁膜10e上に近接又は載置して、露光光(低圧、高圧、超高圧の水銀灯系の10~20mW/cm<sup>2</sup>)を約5~30秒程度照射して処理する。これにより、露光処理された部位が光硬化を起こすことになる。

【0062】現像処理は、選択的な露光処理を行った絶縁膜10eに有機系のクロロセン、1,1,1-トリクロロエタン、アルカリ系溶剤などの現像溶剤を、例えばスプレー現像法やパドル現像法によって噴射したり、接触したり現像処理を行う。これにより、露光光が照射されない部分のみが選択的に除去されることになる。

【0063】その後、必要に応じて洗浄及び乾燥を行なう。

【0064】このような選択的な露光処理・現像処理によって、ビアホール導体3の貫通孔30が形成されるため、貫通孔30、即ちビアホール導体3の形状をフォトマスクのパターンによって任意の形状とすることが極めて容易となる。従って、供給用の配線やアース電位の配線など比較的大電流が流れる配線パターンに接続するビアホール導体3の形状を大きくすることが簡単に行え、また、ビアホール導体3の位置ずれがなく、ビアホール導体3の導通信頼性が大きく向上する。

【0065】次に、図2の(d)の工程のように、絶縁膜10eに形成した貫通孔30にビアホール導体3となる導体31を形成する。尚、このビアホール導体3となる導体31は、内部配線パターン2と表面配線パターン5とを接続するための導体となる。

【0066】具体的には、絶縁膜10eの貫通孔30上に、導電性ペーストの印刷することによって、貫通孔30にビアホール導体3となる導体31を充填し、乾燥処理を行う。

【0067】次に、図2中の(1)の流れ線にそって、内部配線パターン2となる導体膜21を形成するが、図1に示すコンデンサ内蔵型積層セラミック回路基板にお

いては、セラミック層1e上にコンデンサ領域を形成する必要があるため、図2中の(1)の流れ線にそって内部配線パターン2となる導体膜21を形成するとともに、同時に図2中の(2)の流れ線にそって容量電極パターン61となる導体膜610を形成し、コンデンサ領域形成工程に移行する。

【0068】尚、実際上、図2(d)の工程であるビアホール導体3となる導体31の形成時に、内部配線パターン2となる導体膜21の形成及び容量電極パターン61の導体膜610の形成工程を同一の導電性ペーストの印刷処理・乾燥処理で形成しても構わない。

【0069】即ち、絶縁膜10e上に、導電性ペーストを所定形状に印刷し、乾燥処理して、内部配線パターン2となる導体膜21及び容量電極パターン61となる導体膜610を形成する。

【0070】次に、図2(g)の工程に示すように、コンデンサ領域6dの誘電体セラミック層62となる誘電体膜620を形成する。これは、誘電体セラミックリップ材の塗布処理、乾燥処理、選択的な露光処理、現像処理及び洗浄・乾燥処理からなる。

【0071】即ち、誘電体セラミックリップ材の処理は、図3(d)に示すように、容量電極パターン61となる導体膜610を含む絶縁膜10e上の広い領域に、上述の誘電体セラミックリップ材を所定厚み、例えば20μmに塗布を行う。これにより、選択的露光・現像処理によって所定形状となる誘電体塗布膜620'が形成される。この塗布膜620'の厚み制御は、例えばドクターブレード法においては、ブレードの高さを適宜設定することによってその膜厚は任意に設定することができる。

【0072】次に、上述の乾燥条件で乾燥処理を行う。

【0073】次の選択的な露光処理は、図3(e)に示すように、最終的に誘電体セラミック層62となる部分が露出するフォトマスク64を、誘電体塗布膜620'上に配置して、上述の露光条件で露光光を照射する。これにより、最終的に誘電体セラミック層62となる部分が光硬化されることになる。

【0074】次の現像処理は、図3(f)に示すように、露光処理により光硬化していない誘電体塗布膜620'部分を除去するものであり、上述の現像条件で行なう。これにより、コンデンサ領域6d以外に存在する誘電体塗布膜620'は除去され、所定パターンの誘電体膜620となる。

【0075】この選択的な露光・現像処理によって、誘電体塗布膜620'が所定形状に精度よくパターンニングされ、誘電体膜620が完成する。除去された部分からは絶縁膜10eや内部配線パターン2となる導体膜21が現れることになるが、絶縁膜10eは既に光硬化されており、導体膜21は現像液に侵されることがないため、内部配線パターン2に悪影響を与えることがない

## 11

め、安定的に誘電体膜620を所定形状に形成することができる。

【0076】その後、洗浄・乾燥を行う。

【0077】次に、図2(h)の工程に示すように、容量電極パターン63となる導体膜630を形成する(図3(g)参照)。

【0078】これは、誘電体膜620上に、導電性ペーストのスクリーン印刷により形成し、その後、乾燥処理する。

【0079】この図2の(f)～(h)の一連のコンデンサ領域6dの形成工程によって、絶縁膜10e上に、コンデンサ領域6dとなる構造物、即ち、容量電極パターン61となる導体膜620、誘電体セラミック層62となる誘電体膜620、容量電極パターン63となる導体膜630を、所定箇所に独立して形成することができる。

【0080】このコンデンサ領域形成工程では、誘電体膜620の厚みが設定でき、しかも、容量電極パターン61、63となる導体膜610、630の対向面積も任意に設定することができるため、容量特性が安定したコンデンサ領域となる。

【0081】次に、図2の(b)～(d)の工程を行い、絶縁膜10e、絶縁膜10eに形成した内部配線パターン2となる導体膜21及び絶縁膜10e上に形成されたコンデンサ領域6dを覆うように、絶縁膜10dを形成し、先に形成した導体膜21や容量電極パターン63となる導体膜630に到達するビアホール導体3となる貫通孔30を形成し、ビアホール導体3となる導体を形成する(図3(h)参照)。

【0082】ここで、絶縁膜10dは、絶縁膜10eの内部配線パターン2となる導体膜21やコンデンサ領域6dを覆うようにセラミックスリップ材が塗布されるため、絶縁膜10dの必要な箇所にコンデンサ領域6dを点在させることができ、しかも、絶縁膜10dの表面は均一な面となる。したがって、絶縁膜10d上に形成する種々の処理が安定して形成することができる。

【0083】また、絶縁膜10dの選択的な露光・現像処理によって形成される貫通孔30からは、既に形成した内部配線パターン2となる導体膜21や容量電極パターン63となる導体膜630が露出することになるが、この導体膜21、630は、現像液に侵されることがないため、ビアホール導体3の接続を導体31を介して安定的接続することができる。

【0084】また、コンデンサ領域6dの周囲及びその上部には、絶縁膜10dが被覆形成されることになり、この絶縁膜10dには、コンデンサ領域6dの有無にかかわらず、通常の絶縁膜、例えば10eと同様に内部配線パターン2となる導体膜21やビアホール導体3となる導体31を形成することができる。

【0085】次に、図2中、流れ線(1)に沿って、

## 12

(e)の工程で絶縁膜10d上に内部配線パターン2となる導体膜21を形成する。

【0086】同様に、図2の(b)～(d)工程を繰り返して、絶縁膜10dの内部配線パターン2となる導体膜21上に、絶縁膜10c(図示せず)を形成し、ビアホール導体3となる貫通孔30を形成し、この貫通孔30にビアホール導体3となる導体31を充填する。

【0087】次に、図2中、流れ線(1)及び(2)に沿って、(e)の工程に示すように、絶縁膜10c上に内部配線パターン2となる導体膜21を形成するとともに、(f)の工程に示すコンデンサ領域6bの容量電極パターン61と導体膜610を形成する。

【0088】その後、図2の(g)～(h)の工程に示すようにコンデンサ領域6bの誘電体膜62となる誘電体膜620を形成し、容量電極パターン63となる導体膜630を形成する。

【0089】次に、図2の(b)～(d)の工程を繰り返し、絶縁膜10cに形成した内部配線パターン2となる導体膜21及び絶縁膜10c上に形成されたコンデンサ領域6bを覆うように、絶縁膜10b(図示せず)を形成し、先に形成した導体膜21や容量電極パターン63となる導体膜630に到達するビアホール導体3となる貫通孔30を形成し、ビアホール導体3となる導体を形成し、さらに図2の(b)～(d)の工程を繰り返し、絶縁膜10a(図示せず)及び絶縁膜10aを貫くビアホール導体3となる導体31を形成する。

【0090】尚、絶縁膜10dに形成した貫通孔30以後については、図3には示していないが、内部配線パターン2と導体2を含む絶縁膜の形成は、図3(a)～図3(c)に示すように、コンデンサ領域の形成は、図3(c)～図3(g)に示すように形成されるものである。尚、図3(a)～図3(g)には支持基板15が図示されているが、この支持基板15とは、当該工程の前までに形成された絶縁膜部分を指すものである。

【0091】〔剥離工程〕次に、図2の流れ線(3)に沿って、図2の(j)である支持基板15の剥離工程を行う。

【0092】剥離工程は、支持基板15から上述のコンデンサ領域6b、6d、内部配線パターン21及びビアホール導体3となる導体31を含む絶縁膜10a～10eから成る積層体を分離する。

【0093】具体的には、支持基板15と積層体とを剥離するために、例えば支持基板15を湾曲させたり、剥離界面にカッター刃を平面上に摺動したりする。支持基板15と積層体との界面部分に形成した基板平滑層に、120℃(乾燥処理の温度)以上で発泡性反応を起こす樹脂部材を添加している場合、加熱処理して剥離を容易にしても構わない。また、支持基板15と基板平滑層の界面部分に有機溶剤によって溶解するシートを介在させておき、有機溶剤に浸漬したりしても構わない。有機溶

13

剤によって溶解するシートを用いる場合には、セラミックスリップ材、導電性ペーストにバイダー、光硬化可能なモノマーに水系を用い、溶剤に純水などを用いることが重要となる。

【0094】〔表面配線パターンの形成工程〕次に、図2の(j)の工程である積層体の表面に表面配線パターン4、5となる導体膜を形成する。これは、導電性ペーストを印刷処理し、さらに、乾燥処理して形成する。

【0095】〔焼成工程〕次に、図2の(k)の工程として、表面配線パターン4、5となる導体膜を含む積層体基板を焼成処理する。焼成処理は、脱バインダ過程と焼結過程からなる。

【0096】脱バインダ処理は、絶縁膜10a~10e、内部配線パターン2となる導体膜21、ビアホール導体3となる導体31、表面配線パターン4、5となる導体膜、容量電極パターン610、630、誘電体膜620に含まれる有機成分を焼失するためのものであり、例えば600°C以下の温度領域で行われる。また、焼結処理は、絶縁膜10a~10e、誘電体膜620のガラス成分を結晶化させて、セラミック粉末の粒界に均一に分散させ、積層体基板1に一定強度を与える、同時に、内部配線パターン2となる導体膜21、ビアホール導体3となる導体31、表面配線パターン4、5となる導体膜、容量電極パターン61、63となる導体膜610、630の導電材料、例えば、銀系粉末を粒成長させて、低抵抗化させるとともに、セラミック層1a~1e、誘電体セラミック層62と一体化させるものである。これは、ピーク温度850~1050°Cに達する温度領域で行われる。

【0097】焼成雰囲気は、導電性ペーストの材料などによって異なり、上述のようにAg系導体の場合は、大気(酸化性)雰囲気又は中性雰囲気で行われ、Cu系導体の場合は、還元性雰囲気又は中性雰囲気で行われる。

【0098】〔表面処理工程〕次に、図2の(l)の工程として、表面処理を行う。

【0099】表面処理とは、積層体基板1の主面に、厚膜抵抗膜や保護膜などを焼きつけを行い、各種電子部品を搭載する。

【0100】以上のような本発明のコンデンサ内蔵型積層セラミック回路基板は、内部配線パターン2を有する積層体基板部分は、光硬化可能なモノマーを有するセラミックスリップ材の塗布・乾燥し、その塗布された絶縁膜に対して選択的な露光・現像処理を行い、導電性ペーストによるビアホール導体3となる導体31、内部配線パターン2となる導体膜21の形成を繰り返して形成している。

【0101】また、コンデンサ領域6b、6dは、積層体基板の積層工程中に、この積層体基板の同種の工程、即ち容量電極パターンの形成、誘電体膜となるセラミックスリップ材の塗布・乾燥、選択的な露光・現像処理に

10

20

20

30

40

50

14

よるパターンニング、容量電極パターンの形成で形成することができる。これにより、製造工程が煩雑することなく、簡単に形成できる。

【0102】また、コンデンサ領域6b、6dの容量電極パターン61、63の形状は、導電性ペーストの印刷によって、また、誘電体セラミック層62の形状は誘電体膜620の選択的な露光現像処理によって、また、誘電体セラミック層62の厚みは、誘電体膜620を形成する際の誘電体セラミックスリップ材の塗布厚みの制御によって、夫々確実に且つ精度よく形成することができるため、安定した容量特性を導出することができる。

【0103】また、コンデンサ領域の容量電極パターン61、63は、内部回路の配線を考慮して、必要な箇所に独立して形成することができ、しかも所定内部配線パターン2とは、内部配線パターン2の延長して、またビアホール導体3を介して簡単に接続することができる。

【0104】また、コンデンサ領域において、誘電体セラミック層62の両主面は、実質的に容量電極パターン61、63と接触しており、セラミック層1a~1eと接触していないこと、また、コンデンサ領域6b、6dの内部で必要な箇所のみに形成されているため、焼成工程における絶縁膜10a~10e、誘電体膜620の焼結挙動の違いによる反りや剥離現象を有効に抑えることができる。

【0105】尚、上述の実施例について、コンデンサ領域の誘電体セラミック層の厚みは、コンデンサ領域6b、6dが配置されるセラミック層1b、1dの厚みに比較して充分に薄いため、コンデンサ領域6b、6dを形成する工程においては、積層工程の上部側の容量電極パターン63となる導体膜630を独立した工程として行っているが、例えば、誘電体セラミック層62の厚みがセラミック層1b、1dと略同一の厚みであれば、容量電極パターン63となる導体膜630の形成工程を、絶縁膜10b、10d上に形成する内部配線パターン2となる導体膜21の形成工程で同時に形成することもできる。

【0106】また、上述の実施例では、支持基板を用いているが、例えば既に配線パターンが形成された単板または多層セラミック回路基板を用いれば、図2の(i)の工程である剥離工程を省略することができる。

【0107】また、図2(j)の工程できる表面配線パターンとなる導体膜の形成工程は、図2の(i)の工程である剥離工程の前後に分けて、各主面毎におこなってもよいし、また、図2(k)の工程できる焼成工程を施した後におこなっても構わない。しかも、積層体基板の一方主面側の配線パターンとなる導体膜を、図2(a)の絶縁膜10eの形成工程前に形成しておくこともでき、さらに、積層体の焼成する前に分割溝を形成して、焼成後に、分割溝に沿って分割処理するという分割処理工程を負荷しても構わない。即ち、図2に示す(i)工

15

程～(1)工程の各工程は、種々の入れ換え・変更、必要工程の付加は可能となる。

【0108】また、上述の内部配線パターン2となる導体膜21、容量電極パターン61、63となる導体膜610、630は、導電性ペーストの印刷処理・乾燥処理によって形成されるが、この導電性ペーストに光硬化可能なモノマーを添加しておき、導体膜21、610、630を形成した部位の全面に塗布し、乾燥し、選択的な露光処理・現像処理で所定パターンに形成することができる。

【0109】上述の実施例は、低温で焼成可能なコンデンサ内蔵型積層セラミック回路基板で説明したが、例えば1300～1600°Cで焼成されるコンデンサ内蔵型積層セラミック回路基板であっても構わない。この場合、各材料を1300～1600°Cで焼成反応し得るものを選択する。

【0110】例えば、セラミック層1a～1eとなる材料として、アルミニナを主成分とするセラミックを用い、内部配線パターン2、ピアホール導体3、容量電極パターン61、63となる導体材料としては、MO、W、Aa-Pdなどの高融点金属材料を用い、また、誘電体セラミック層62としては、BaTiO<sub>3</sub>、TiO<sub>2</sub>を主成分となる誘電体セラミック材料を夫々用い、また、光硬化モノマー、有機バインダー、溶剤などの脱バインダー処理温度を、焼結温度に対応させて高めに設定し、焼成雰囲気を例えば水素と窒素とを混合したフォーミングガスなどに設定する。

### 【0111】

【発明の効果】本発明のコンデンサ内蔵型積層セラミック回路基板によれば、一対の容量電極パターンとこれに挟持された誘電体セラミック層からなるコンデンサ領域が、積層体基板の所定位置に点在して形成されている。また、コンデンサ領域の周囲には、セラミック層が配置されており、コンデンサ領域の周囲にも内部配線パターンやピアホール導体が形成されている。これにより、セラミック層間の内部配線パターンの形成にあたり、コンデンサ領域が障害となることがなく、内部配線パターンの設計の自由度、高密度化が維持でき、同時に、表面側の配線パターンの設計の自由度が向上し、高密度化が維持できる。

【0112】また、コンデンサ領域を回路配線上もっと

16

も接続が効率な位置に形成することもでき、内部配線パターンの高密度化も達成することができる。

【0113】これは、セラミック層が光硬化可能なモノマーを有するセラミックスリップ材の塗布・乾燥によって絶縁膜を形成し、さらに、ピアホール導体となる貫通孔を選択的な露光・現像処理によって形成し、絶縁膜上に所定内部配線パターン及び又はピアホール導体を導電性ペーストの印刷によって形成しているためである。また、セラミック層と誘電体セラミック層との界面部分には容量電極パターンが介在するため、両層の主面どうしの接触は実質的になくなり、製造工程において剥離などが一切おこらない。

【0114】また、コンデンサ領域を個別に形成するため、容量特性に応じて誘電体セラミック層の厚み、容量電極パターンの対向面積を設定できるため、コンデンサの容量特性を精度よく形成することができる。

### 【図面の簡単な説明】

【図1】本発明に係るコンデンサ内蔵型積層セラミック基板の断面図である。

【図2】本発明のコンデンサ内蔵型積層セラミック基板の製造を説明するための工程図である。

【図3】(a)～(h)は夫々本発明のコンデンサ内蔵型積層セラミック基板の製造の主要工程における概略図である。

### 【符号の説明】

10 . . . . . コンデンサ内蔵型積層セラミック回路基板

1 . . . . . 積層体基板

1a～1e . . . . . セラミック層

30 10a～10e . . . . . 絶縁膜

2 . . . . . 内部配線パターン

21 . . . . . 内部配線パターンとなる導体膜

3 . . . . . ピアホール導体

31 . . . . . ピアホール導体となる導体

6b、6d . . . . . コンデンサ領域

61、63 . . . . . 容量電極パターン

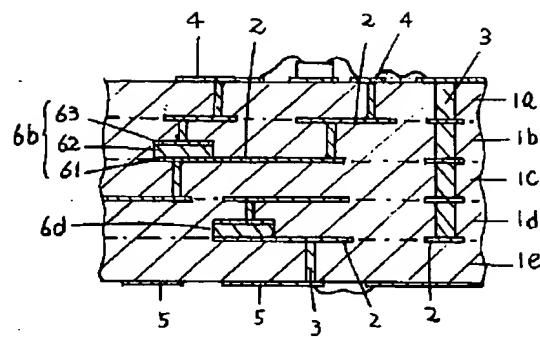
610、630 . . . . . 容量電極パターンとなる導体膜

62 . . . . . 誘電体セラミック層

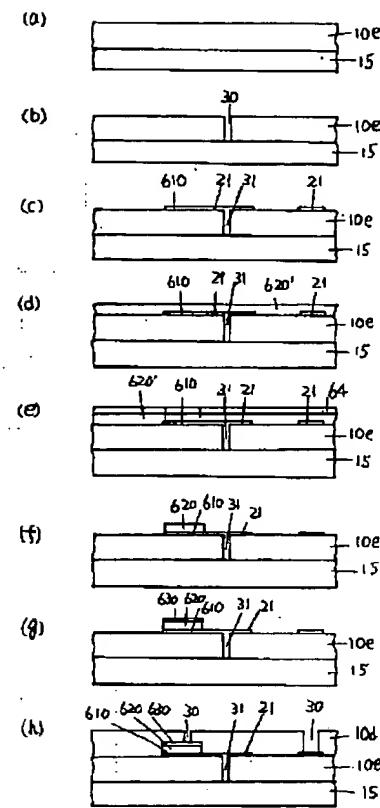
620 . . . . . 誘電体膜

40 4、5 . . . . . 表面配線パターン

【図1】



【図3】



【図2】

